



COPY OF PAPERS
ORIGINALLY FILED

2811

PTO/SB/21 (6-98)

†

Please type a plus sign (+) inside this box → ☐

Approved for use through 09/30/2000. OMB 0651-0031
Patent and Trademark Office, U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/034,656
	Filing Date	12/28/2001
	First Named Inventor	Jong Sik Paek
	Group Art Unit	2811
	Examiner Name	Unknown
Total Number of Pages in This Submission	Attorney Docket Number	AMKOR-015A

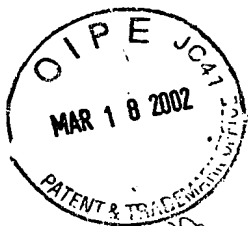
RECEIVED
MAR 22 2002
TC 2800 MAIL ROOM

ENCLOSURES (check all that apply)		
<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Response <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Assignment Papers (for an Application) <input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition Routing Slip (PTO/SB/69 and Accompanying Petition) <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation, Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Small Entity Statement <input type="checkbox"/> Request for Refund	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Additional Enclosure(s) (please identify below): Return receipt postcard
REMARKS:		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual Name	Mark B. Garred STETINA BRUNDA GARRED & BRUCKER
Signature	
Date	3/7/02

CERTIFICATE OF MAILING			
I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231 on this date: <u>3-07-02</u>			
Typed or printed name	Kristin Stenberg		
Signature		Date	3-07-02

† SEND TO: Assistant Commissioner for Patents, Washington, D.C. 20231



COPY OF PAPERS
ORIGINALLY FILED

3/ priority
papers
J. Steptoe
4-19



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2000년 제 86246 호
Application Number PATENT-2000-0086246

출원 년 월 일 : 2000년 12월 29일
Date of Application DEC 29, 2000

출원인 : 앰코 테크놀로지 코리아 주식회사
Applicant(s) Amkor Technology Korea, Inc.

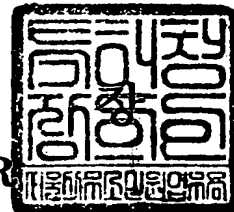
RECEIVED
MAR 22 2002
TC 2800 MAIL ROOM



2001 년 12 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0014		
【제출일자】	2000. 12. 29		
【국제특허분류】	H01L		
【발명의 명칭】	반도체 패키지		
【발명의 영문명칭】	Semiconductor package		
【출원인】			
【명칭】	앵코 테크놀로지 코리아 주식회사		
【출원인코드】	1-1999-032391-1		
【대리인】			
【성명】	서만규		
【대리인코드】	9-1998-000260-4		
【포괄위임등록번호】	1999-043688-8		
【발명자】			
【성명의 국문표기】	백종식		
【성명의 영문표기】	PAEK, Jong Sik		
【주민등록번호】	700330-1450745		
【우편번호】	130-035		
【주소】	서울특별시 동대문구 답십리5동 678번지		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 서만규 (인)		
【수수료】			
【기본출원료】	13	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	29,000	원	
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

이 발명은 반도체패키지에 관한 것으로, 저가인 동시에, 내습성이 강하고 두께가 더욱 얇아지도록, 대략 평면인 제1면과 제2면을 가지며, 평면상에 대략 방사상으로 배열된 다수의 리드와; 상기 리드의 제2면과 일정 거리 이격되어 위치되고, 대략 평면인 제1면과 제2면을 가지며, 상기 제1면이 상기 리드의 제2면을 향하는 동시에, 상기 제1면에는 다수의 입출력패드가 형성된 반도체칩과; 상기 반도체칩의 각 입출력패드와 상기 각 리드의 제2면을 상호 전기적으로 접속시키는 다수의 도전성 범프와; 상기 반도체칩, 도전성 범프 및 제1면을 제외한 리드가 봉지재로 봉지되어 형성된 봉지부를 포함하여 이루어진 것을 특징으로 한다.

【대표도】

도 2a

【명세서】

【발명의 명칭】

반도체 패키지 {Semiconductor package}

【도면의 간단한 설명】

도1은 종래의 반도체 패키지를 도시한 단면도이다.

도2는 본 발명에 의한 반도체 패키지를 도시한 단면도이다.

도3은 도2의 반도체 패키지에 이용된 리드프레임의 일례를 도시한 평면도이다.

도4a 및 도4b는 리드프레임의 일정 영역을 확대 도시한 평면도 및 단면도이다.

- 도면중 주요 부호에 대한 설명 -

100; 본 발명에 의한 반도체 패키지

1; 리드 1a; 리드의 제1면

1b; 리드의 제2면 1c; 리드의 제3면

1d; 범프랜드 1e; 외부 입출력단자

1f; 댄바 2; 반도체칩

2a; 칩의 제1면 2b; 칩의 제2면

2c; 입출력패드 3; 도전성범프

4; 보호막 5; 봉지부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<14> 본 발명은 반도체패키지에 관한 것으로, 더욱 상세하게 설명하면 반도체칩을 플립칩 기술에 의해 리드프레임에 탑재한 반도체패키지에 관한 것이다.

<15> 통상 종래의 플립칩 기술을 이용한 반도체패키지는 반도체칩의 입출력패드에 도전성 범프를 형성한 후, 상기 반도체칩을 뒤집어(Face Down) 인쇄회로기판의 일정 영역에 리플로우(Reflow)시킨 구조를 하며, 이러한 종래의 반도체패키지(100')가 도1에 도시되어 있다.

<16> 도시된 바와 같이 하면에 다수의 입출력패드(2')가 형성된 반도체칩(1')이 구비되어 있고, 상기 입출력패드(2')에는 일정 두께의 도전성 범프(3')가 형성되어 있다. 또한, 상기 도전성 범프(3')는 인쇄회로기판(10')의 범프랜드(11b')에 융착되어 있다. 상기 인쇄회로기판(10')은 통상 수지층(12')을 기본층으로 그 상,하면에 범프랜드(11b') 및 볼랜드(11a')를 포함하는 배선패턴(11')이 복잡하게 형성되어 있고, 상기 수지층(12') 상,하면의 배선패턴(11')은 도전성 비아홀(14')에 의해 상호 연결되어 있다. 또한, 상기 범프랜드(11b') 및 볼랜드(11a')를 제외한 배선패턴(11') 및 수지층(12')의 표면은 절연성 솔더마스크(13')로 코팅되어 있다.

<17> 한편, 상기 인쇄회로기판(10')의 상면 및 반도체칩(1') 등은 외부 환경으로부터 보호되도록 봉지부(4')에 의해 감싸여져 있으며, 상기 인쇄회로기판(10')의

하면중 볼랜드(11a')에는 다수의 도전성볼(5')이 융착되어 마더보드(도시되지 않음)에 실장 가능한 형태로 되어 있다.

<18> 이러한 반도체패키지(100')는 반도체칩(1')의 전기적 신호가 입출력패드(2'), 도전성범프(3'), 배선패턴(11')중 범프랜드(11b'), 도전성 비아홀(14') 및 볼랜드(11a'), 그리고 도전성볼(5')을 통하여 마더보드에 전달되며, 상기 마더보드의 전기적 신호는 상기한 역순으로 전달된다.

<19> 그러나, 이러한 종래의 반도체패키지는 고가의 인쇄회로기판을 사용함으로써 반도체패키지의 가격이 높아지는 단점이 있다. 즉, 상기 인쇄회로기판은 통상 제조 방법이 복잡하고 또는 생산수율이 낮기 때문에 그 가격이 매우 고가이며, 전체 패키징 비용의 대략 60% 이상을 차지하고 있는 실정이다. 따라서, 반도체패키지의 제조 공정중 상기 인쇄회로기판으로 인한 가격 부담이 크게 작용하고 있다.

<20> 또한, 종래의 반도체패키지에서 상기 인쇄회로기판의 수지층 및 솔더마스크는 수분 흡수율이 큼으로써, 반도체패키지의 내습성이 약하다. 따라서 습도가 높은 지역에서는 상기 반도체패키지의 수명이 빠르게 단축되는 단점이 있다.

<21> 더불어, 상기 인쇄회로기판 및 그 하면에 부착된 도전성 볼의 전체적 두께는 반도체칩의 두께보다 훨씬 두껍기 때문에 결국 반도체패키지의 전체적 두께가 두꺼워지고, 이로 인해 최선의 초박형화한 전자기기의 사용이 부적합한 단점도 있다.

【발명이 이루고자 하는 기술적 과제】

<22> 따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 반도체칩을 플립칩 기술에 의해 리드프레임에 탑재함으로써, 저가의 반도체 패키지를 구현하는 동시에, 내습성이 강하고 두께를 더욱 얇게 할 수 있는 반도체 패키지를 제공하는데 있다.

【발명의 구성 및 작용】

<23> 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 대략 평면인 제1면과 제2면을 가지며, 평면상에 대략 방사상으로 배열된 다수의 리드와; 상기 리드의 제2면과 일정 거리 이격되어 위치되고, 대략 평면인 제1면과 제2면을 가지며, 상기 제1면이 상기 리드의 제2면을 향하는 동시에, 상기 제1면에는 다수의 입출력패드가 형성된 반도체칩과; 상기 반도체칩의 각 입출력패드와 상기 각 리드의 제2면을 상호 전기적으로 접속시키는 다수의 도전성 범프와; 상기 반도체칩, 도전성 범프 및 제1면을 제외한 리드가 봉지재로 봉지되어 형성된 봉지부를 포함하여 이루어진 것을 특징으로 한다.

<24> 여기서, 상기 리드는 상기 도전성 범프가 용이하게 융착되도록, 상기 도전성 범프와 대응하는 제2면의 일정 영역에 대략 원형인 범프랜드가 형성될 수 있다.

<25> 이때, 범프랜드를 제외한 리드의 제2면 전체에 일정 두께의 보호막이 더 형성될 수 있다.

- <26> 또한, 상기 보호막은 폴리이미드(Polyimide), 티타늄(Ti), 알루미늄(Al) 중 어느 하나에 의해 형성될 수 있다.
- <27> 더불어, 상기 리드는 제1면과 제2면 사이에 제3면이 더 형성됨과 동시에, 상기 제3면은 봉지부 내측에 위치되고, 상기 봉지부 하면에는 외부 입출력단자 역할을 하는 상기 리드의 제1면이 배열된 채 노출될 수 있다.
- <28> 상기와 같이 하여 본 발명에 의한 반도체패키지에 의하면, 저가의 리드프레임을 이용함으로써, 반도체패키지의 가격이 낮아지는 장점이 있다. 즉, 상기 리드프레임은 종래의 인쇄회로기판에 비해 그 가격이 대단히 저렴함으로써, 결국 반도체패키지의 가격도 저하된다.
- <29> 또한, 상기 리드프레임은 종래 인쇄회로기판에 비해 내습성이 강함으로, 보다 가혹한 환경에서 상기 반도체패키지가 오래 견딜 수 있는 장점이 있다.
- <30> 더불어, 상기 리드프레임의 일면이 직접 마더보드에 실장될 수 있는 형태를 함으로써, 종래에 비해 반도체패키지의 두께가 현저히 얇아지는 장점이 있다.
- <31> 이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.
- <32> 도2는 본 발명에 의한 반도체패키지(100)를 도시한 단면도이다.
- <33> 대략 평면인 제1면(1a)과 제2면(1b)을 가지는 리드(1)가 일정 영역을 중심으로 상호 대향되게 형성되어 있다. 상기 리드(1)는 주지된 바와 같이 통상적인 구리(Cu), 철(Fe), 또는 구리 합금 등으로 이루어진 것이다.

- <34> 이어서, 상기 리드(1)의 제2면(1b)과 일정 거리 이격되어서는, 대략 평면인 제1면(2a)과 제2면(2b)을 가지고, 상기 제1면(2a)이 상기 리드(1)의 제2면(1b)을 향하는 동시에, 상기 제1면(2a)에는 다수의 입출력패드(2c)가 형성된 반도체칩(2)이 구비되어 있다.
- <35> 상기 반도체칩(2)의 제1면(2a)에 형성된 각 입출력패드(2c)는 골드(Au) 또는 솔더(Solder)와 같은 도전성범프(3)에 의해 상기 리드(1)의 제2면(1b)중 일정 영역(범프랜드(1d))에 전기적으로 연결되어 있다.
- <36> 또한, 상기 반도체칩(2), 도전성범프(3) 및 제1면(1a)을 제외한 리드(1)는 에폭시 몰딩 컴파운드(Epoxy Molding Compound)와 같은 봉지재로 봉지되어 단면상 대략 사각 모양을 하는 봉지부(5)가 형성되어 있다.
- <37> 여기서, 상기 리드(1)의 평면 구조는 도3에 도시된 바와 중앙부에 다수의 범프랜드(1d)(제2면(1b)에 형성됨)가 형성되어 있고, 상기 범프랜드(1d)로부터 외측으로 연장된 일정 영역에는 다수의 외부 입출력단자(1e)(제1면(1a)에 형성됨)가 형성되어 있으며, 상기 각 리드(1)는 외측 둘레의 댄바(1f)에 의해 지지되는 구조를 한다. 상기 댄바(1f)는 반도체패키지(100) 제조 공정중 제거되는 부분이다.
- <38> 상기 반도체칩(2)의 제1면(2a)에 형성된 입출력패드(2c)는 상기 도전성범프(3)에 의해 상기 범프랜드(1d)에 접속된다.
- <39> 한편, 상기 범프랜드(1d)와 외부 입출력단자(1e)가 동일한 위치에 형성된 경우에는 상기 범프랜드(1d)의 크기가 과도하게 크기 때문에 상기 도전성범프(3)

의 융착이 어려운 문제가 있다. 따라서, 본 발명은 상기 범프랜드(1d)와 외부 입출력단자(1e)가 동일한 위치에 형성되어 있을 경우, 상기 범프랜드(1d)의 일정 영역이 대략 원형을 유지하며 외측으로 오픈되도록 상기 리드(1)의 제2면(1b)에 일정 두께의 보호막(4)이 형성되어 있다. 즉, 상기 보호막(4)은 도전성범프(3)가 리드(1)의 제2면(1b)을 따라 과도하게 일정 범위 이상으로 흘러가지 않도록 하는 역할을 한다. 상기 보호막(4)은 상기 범프랜드(1d) 근처에만 형성하거나 또는 상기 범프랜드(1d)를 제외한 리드(1)의 제2면(1b) 전체에 형성한다.

<40> 상기 보호막(4)은 폴리이미드(Polyimide), 티타늄(Ti), 알루미늄(Al) 중 어느 하나에 의해 형성될 수 있으며, 여기서 그 재질을 한정하는 것은 아니다.

<41> 계속해서, 도4a 및 도4b에 도시된 바와 같이, 상기 리드(1)는 제1면(1a)과 제2면(1b) 사이에 제3면(1c)이 더 형성될 수 있다. 이때, 상기 제3면(1c)은 봉지부(5) 내측에 위치됨으로써, 봉지부(5)와의 락킹(Locking) 효과가 증대되어 상기 리드(1)가 봉지부(5)의 상,하 또는 좌,우 방향으로 이탈되지 않도록 한다. 또한, 상기 리드(1)중 외부 입출력단자(1e) 역할을 하는 제1면(1a)은 봉지부(5) 하면에 배열된 상태로 노출됨으로써, 차후 마더보드에 실장 가능하게 되어 있다.

<42> 여기서, 상기 제3면(1c)은 리드(1)의 제1면(1a)중 일정 영역(외부 입출력단자(1e)가 될 영역)을 제외한 나머지 영역을 화학 용액으로 부분 에칭함으로써 구현 가능하다.

<43> 이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

【발명의 효과】

<44> 따라서, 본 발명에 의한 반도체패키지에 의하면, 저가의 리드프레임을 이용함으로써, 반도체패키지의 가격이 낮아지는 효과가 있다. 즉, 상기 리드프레임은 종래의 인쇄회로기판에 비해 그 가격이 대단히 저렴함으로써, 결국 반도체패키지의 가격도 저하된다.

<45> 또한, 상기 리드프레임은 종래 인쇄회로기판에 비해 내습성이 강함으로, 보다 가혹한 환경에서 상기 반도체패키지가 오래 견딜 수 있는 효과가 있다.

<46> 더불어, 상기 리드프레임의 일면이 직접 마더보드에 실장될 수 있는 형태를 함으로써, 종래에 비해 반도체패키지의 두께가 현저히 얇아지는 효과가 있다.

【특허청구범위】**【청구항 1】**

대략 평면인 제1면과 제2면을 가지며, 평면상에 대략 방사상으로 배열된 다수의 리드와;

상기 리드의 제2면과 일정 거리 이격되어 위치되고, 대략 평면인 제1면과 제2면을 가지며, 상기 제1면이 상기 리드의 제2면을 향하는 동시에, 상기 제1면에는 다수의 입출력패드가 형성된 반도체칩과;

상기 반도체칩의 각 입출력패드와 상기 각 리드의 제2면을 상호 전기적으로 접속시키는 다수의 도전성 범프와;

상기 반도체칩, 도전성 범프 및 제1면을 제외한 리드가 봉지재로 봉지되어 형성된 봉지부를 포함하여 이루어진 반도체패키지.

【청구항 2】

제1항에 있어서, 상기 리드는 상기 도전성 범프가 용이하게 융착되도록, 상기 도전성 범프와 대응하는 제2면의 일정 영역에 대략 원형인 범프랜드가 형성된 것을 특징으로 하는 반도체패키지.

【청구항 3】

제2항에 있어서, 상기 범프랜드를 제외한 리드의 제2면 전체에 일정 두께의 보호막이 형성된 것을 특징으로 하는 반도체패키지.

【청구항 4】

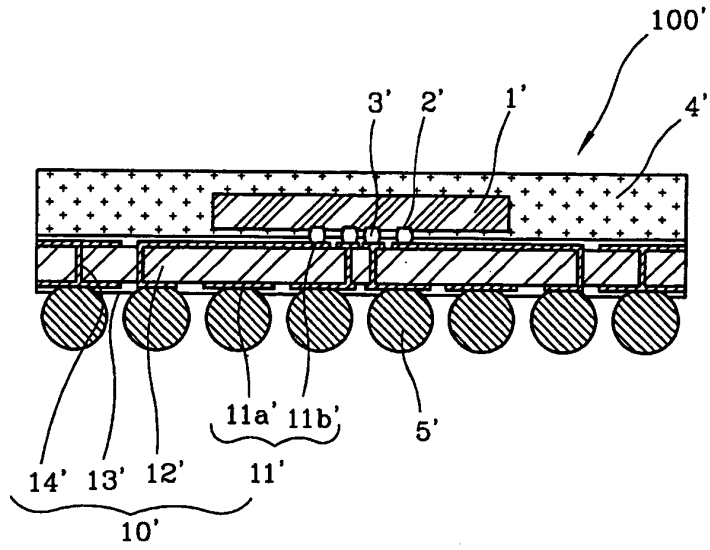
제3항에 있어서, 상기 보호막은 폴리이미드(Polyimide), 티타늄(Ti), 알루미늄(Al) 중 어느 하나에 의해 형성된 것을 특징으로 하는 반도체패키지.

【청구항 5】

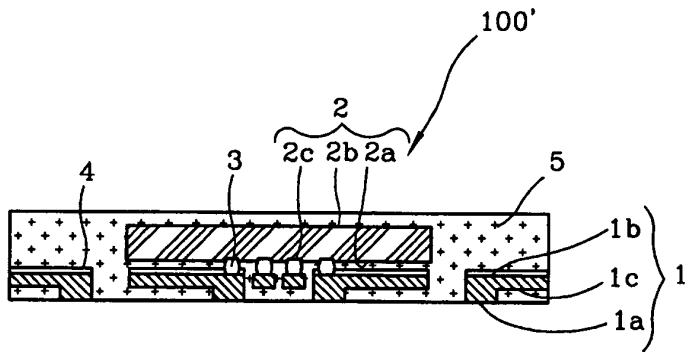
제1항 내지 제4항중 어느 한 항에 있어서, 상기 리드는 제1면과 제2면 사이에 제3면이 더 형성됨과 동시에, 상기 제3면은 봉지부 내측에 위치되고, 상기 봉지부 하면에는 외부 입출력단자 역할을 하는 상기 리드의 제1면이 배열된 채 노출된 것을 특징으로 하는 반도체패키지.

【도면】

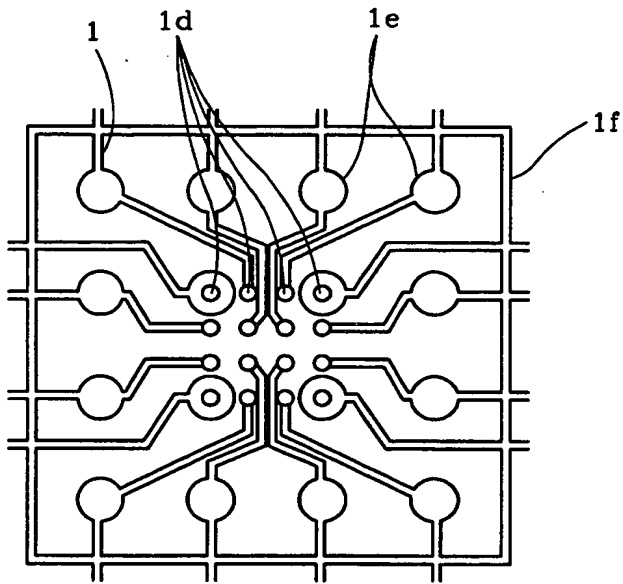
【도 1】



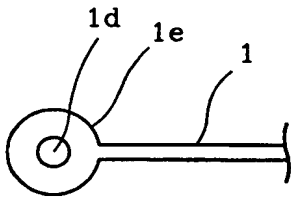
【도 2a】



【도 2b】



【도 3a】



【도 3b】

